



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0086915
Application Number

출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

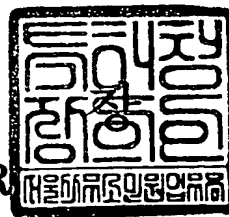
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 08 월 28 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0010
【제출일자】	2002. 12. 30
【발명의 명칭】	반도체 소자 및 그 제조방법
【발명의 영문명칭】	Semiconductor and its fabricating method
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	김영철
【대리인코드】	9-1998-000040-3
【포괄위임등록번호】	2001-037703-7
【대리인】	
【성명】	김순영
【대리인코드】	9-1998-000131-1
【포괄위임등록번호】	2001-037700-5
【대리인】	
【성명】	이준서
【대리인코드】	9-1998-000463-0
【포괄위임등록번호】	2001-037697-8
【발명자】	
【성명의 국문표기】	이재석
【성명의 영문표기】	LEE, Jae Suk
【주민등록번호】	650625-1030024
【우편번호】	467-900
【주소】	경기도 이천시 장호원을 현대 APT 101-603
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 김영철 (인) 대리인 김순영 (인) 대리인 이준서 (인)

【수수료】

【기본출원료】	15	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	0	항	0	원
---------	---	---	---	---

【합계】	29,000	원		
------	--------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--



【요약서】

【요약】

본 발명은 패키징 공정을 진행하더라도 보호막의 균열을 방지함으로써 보호막의 신뢰성을 높이고 반도체소자의 특성 악화를 방지하도록 한 반도체 소자 및 그 제조방법에 관한 것으로서,

본 발명의 반도체 소자는 반도체 기판;와, 상기 반도체 기판 상에 형성된 최상층 금속배선;과, 상기 최상층 금속배선을 포함한 기판 전면에서 형성된 산화막;과, 상기 산화막 상에 소정의 두께로 형성된 알루미늄층;과, 상기 알루미늄층 상에 형성된 스트레스 완화층을 포함하여 이루어지는 것을 특징으로 한다.

【대표도】

도 1

【색인어】

보호막, 알루미늄



【명세서】

【발명의 명칭】

반도체 소자 및 그 제조방법{Semiconductor and its fabricating method}

【도면의 간단한 설명】

도 1은 본 발명에 따른 반도체 소자의 구조 단면도.

도 2 내지 도 4는 본 발명에 따른 반도체 소자의 제조방법을 설명하기 위한 공정 단면도.

<도면의 주요 부분에 대한 설명>

101 : 반도체 기판

102 : 금속배선

103 : 산화막

104 : 알루미늄층

105 : 스트레스 완화층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<7> 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로서, 보다 상세하게는 패키징공정을 진행하더라도 보호막의 균열을 방지함으로써 보호막의 신뢰성을 높

이고 반도체소자의 특성 악화를 방지하도록 한 반도체 소자 및 그 제조방법에 관한 것이다.

<8> 일반적으로, 반도체소자의 보호막(Passivation Layer)은 최상층 금속배선 상에 형성되는 최종 보호막으로서, 패키징(Packaging) 공정에서 발생할 수 있는 칩 표면의 스크래치(Scratch)나 이물질 오염을 방지하는 역할을 한다. 이러한 보호막은 외부 습기와 같은 환경적 요인으로부터 반도체소자를 보호하는 수단이 된다. 상기 보호막은 스트레스 완화용 각종 산화막과, 우수한 보호막의 역할을 담당하는 질화막의 조합으로 형성된다.

<9> 예를 들면, 지금까지는 반도체소자를 위한 최상층 금속배선이 형성된 반도체기판 상에 PE-TEOS(Tetra-Ethyl-Ortho-Silicate) 산화막을 PECVD(Plasma Enhanced Chemical Vapor Deposition)법에 의해 적층한 후 연이어 SiH_4 질화막을 PECVD법에 의해 적층함으로써 보호막을 형성하여 왔다. 또한, 고밀도 플라즈마(High Density Plasma: HDP) CVD법에 의해 SiH_4 산화막을 적층한 후 연이어 PECVD법을 이용하여 SiH_4 질화막을 적층함으로써 보호막을 형성하여 왔다.

<10> 그런데, 다층배선을 사용한 소자나 파워 소자와 같은 반도체소자의 경우, 최상층 금속배선, 예를 들어 알루미늄 재료의 금속배선은 일반적인 반도체소자의 최상층 금속배선이 $5000 \sim 6000 \text{ \AA}$ 의 두께로 이루어지는데 비하여 $8000 \sim 10000 \text{ \AA}$ 의 두꺼운 두께로 이루어진다. 또한, 상기 파워 소자의 최상층 금속배선은 비교적 넓은 면적으로 형성된다.



<11> 그러나, 종래에는 다층배선을 사용한 소자나 파워 소자의 패키징공정에서 보호막의 균열이 발생하기 쉬운데, 이는 상기 보호막이 두껍고 넓은 최상층 금속 배선과의 스트레스가 크기 때문이다. 이로써, 패키징공정이 완료된 제품의 불량률이 높은 문제점이 있다.

<12> 상기 보호막의 균열과 같은 반도체소자의 불량률을 저감시키기 위해서는 최상층 금속배선의 스트레스가 작으면서도 외부로부터의 충격에 견디기 쉬운 고정도 재질의 보호막이 절실히 요구되고 있는 실정이다.

【발명이 이루고자 하는 기술적 과제】

<13> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로서, 최상층 금속배선과의 스트레스를 감소시킴으로써 패키징 공정에서의 보호막의 균열 발생을 방지함과 동시에 최상층 금속배선의 RC 딜레이에 영향을 주지 않는 반도체 소자 및 그 제조방법을 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<14> 상기와 같은 목적을 달성하기 위한 본 발명의 반도체 소자는 반도체 기판;와, 상기 반도체 기판 상에 형성된 최상층 금속배선;과, 상기 최상층 금속배선을 포함한 기판 전면에 형성된 산화막;과, 상기 산화막 상에 소정의 두께로 형성된 알루미늄층;과, 상기 알루미늄층 상에 형성된 스트레스 완화층을 포함하여 이루어지는 것을 특징으로 한다.

- <15> 바람직하게는, 상기 스트레스 완화층이 알루미늄 산화층으로 이루어진 것을 특징으로 한다.
- <16> 바람직하게는, 상기 알루미늄층이 100~300Å 정도의 두께로 형성된 것을 특징으로 한다.
- <17> 바람직하게는, 상기 산화막은 USG, FSG 중 어느 하나로 형성된 것을 특징으로 한다.
- <18> 본 발명에 따른 반도체 소자 제조방법은 반도체 기판 상에 최상층 금속배선을 형성하는 단계;와, 상기 금속배선을 포함한 기판 전면에 산화막을 형성하는 단계;와, 상기 산화막 상에 소정의 두께로 알루미늄층을 형성하는 단계;와, 상기 알루미늄층의 표면 상에 상기 금속배선과의 스트레스 완화를 위한 스트레스 완화층을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.
- <19> 바람직하게는, 상기 스트레스 완화층을 형성하는 단계는 상기 알루미늄층의 표면을 플라즈마처리공정에 의해 알루미늄 산화층으로 형성하는 과정과, 상기 알루미늄 산화층을 열처리하는 과정으로 구성되는 것을 특징으로 한다.
- <20> 바람직하게는, 상기 알루미늄층을 N_2O 가스를 이용한 플라즈마공정에 의해 알루미늄 산화층으로 형성하는 것을 특징으로 한다.
- <21> 바람직하게는, 상기 알루미늄층을 O_2 가스를 이용한 플라즈마공정에 의해 알루미늄 산화층으로 형성하는 것을 특징으로 한다.
- <22> 바람직하게는, 상기 알루미늄 산화층을 200~400℃ 정도의 온도에서 열처리하는 것을 특징으로 한다.

- <23> 바람직하게는, 상기 알루미늄 산화층을 아르곤(Ar), 헬륨(He)과 같은 불활성 가스 분위기에서 열처리하는 것을 특징으로 한다.
- <24> 바람직하게는, 상기 알루미늄 산화층을 N_2O , O_2 , N_2 , H_2 의 가스 분위기에서 열처리하는 것을 특징으로 한다.
- <25> 본 발명의 특징에 따르면, 반도체기판 상에 반도체소자의 최상층 금속배선을 형성하고, 상기 최상층 금속배선의 표면에 알루미늄층을 적층한 다음, 알루미늄 산화층과 같은 스트레스 완화층을 형성함으로써 패키징공정에서 외부 충격에 의한 균열이 방지되므로 반도체소자의 누설전류가 감소하고 항복전압이 향상될 수 있다.
- <26> 이하, 도면을 참조하여 본 발명의 반도체 소자 및 그 제조 방법을 상세히 설명하기로 한다. 도 1은 본 발명에 따른 반도체 소자의 구조 단면도이다.
- <27> 도 1에 도시한 바와 같이, 반도체기판(101) 상에 최상층 금속배선(102)이 일정 간격을 두고 이격하여 형성된다. 상기 금속배선(102)의 표면 상에 고밀도 플라즈마(High Density Plasma: HDP) CVD법에 의해 USG 또는 FSG와 같은 산화막(103)이 형성된다. 상기 산화막(103)을 포함한 기판 전면에 스퍼터링(sputtering)법을 이용하여 알루미늄층(104)을 형성된다. 상기 알루미늄층(104)의 표면 상에 스트레스 완화층(14)인 알루미늄 산화층이 형성된다.
- <28> 여기서, 상기 스트레스 완화층(14)은 상기 금속배선(102)과의 스트레스가 작으면서도 경도가 높으므로 상기 금속배선(102)과의 스트레스를 완화시켜주는 역할을 담당한다. 상기 스트레스 완화층(105)을 형성하는 것은 반도체소자의 누

설전류(leakage current)가 커지고 항복전압(breakdown voltage)이 낮아지는 것을 방지하기 위함이다.

<29> 상기 알루미늄 산화층(14)은 N_2O 나 O_2 가스를 이용하여 상기 알루미늄층(104)을 플라즈마 처리한 후 아르곤(Ar), 헬륨(He)과 같은 불활성 가스나, N_2O , O_2 , N_2 , H_2 등의 가스 분위기에서 예를 들어 $200\sim 400^\circ C$ 의 저온으로 10~100분 동안 열처리함으로써 상기 알루미늄층(104) 표면에 형성된 Al_xO_y 층이다.

<30> 한편, 반도체기판(101)에서는 본 발명과 관련성이 적어서 도면에 도시되지 않았으나, 다층배선을 갖는 소자나 파워 소자의 최상층 금속배선(102)을 제외한 나머지 부분들, 예를 들어 소오스/드레인과 같은 확산층, 게이트전극, 층간절연막, 금속배선 등이 형성되어 있음은 주지의 사실이다. 또한, 설명의 편의상 상기 최상층 금속배선(102)이 2개만 배치되어 있는 것처럼 도시되어 있으나, 실제로는 상기 최상층 금속배선(102)이 상기 반도체기판(101) 상에 상당히 많이 배치되어 있다.

<31> 도 2 내지 도 4는 본 발명에 따른 반도체 소자의 제조방법을 설명하기 위한 공정 단면도이다.

<32> 먼저, 도 2에 도시한 바와 같이, 반도체기판(101)을 준비한다. 상기 반도체기판(101)에서는 본 발명과 관련성이 적어서 도면에 도시되지 않았으나, 다층배선을 갖는 소자나 파워 소자의 최상층 금속배선(102)을 제외한 나머지 부분들, 예를 들어 소오스/드레인과 같은 확산층, 게이트전극, 층간절연막, 금속배선 등이 형성된다.

- <33> 이어서, 예를 들어 스퍼터링공정을 이용하여 상기 반도체기판(101) 상에 최상층 금속배선(102)을 위한 금속층을 8000~10000 Å의 두께로 적층한다. 그런 다음, 사진식각공정을 이용하여 상기 금속층 상에 상기 상층 금속배선(102)에 해당하는 식각 마스크용 감광막의 패턴(도시 안됨)을 형성하고, 상기 감광막의 패턴에 마스크되지 않은 금속층의 노출된 부분을 그 아래의 반도체기판(101)이 노출될 때까지 식각한다.
- <34> 따라서, 상기 최상층 금속배선(102)의 패턴이 상기 반도체기판(101) 상에 형성된다. 설명의 편의상 상기 최상층 금속배선(102)이 2개만 배치되어 있는 것처럼 도시되어 있으나, 실제로는 상기 최상층 금속배선(102)이 상기 반도체기판(101) 상에 상당히 많이 배치되어 있다.
- <35> 도 3을 참조하면, 상기 최상층 금속배선(102)의 형성이 완료되고 나면, 상기 금속배선을 포함한 기판 전면에 고밀도 플라즈마(High Density Plasma: HDP) CVD법을 이용하여 USG 또는 FSG와 같은 산화막(103)을 형성한다. 이어, 상기 산화막(103) 상에 스퍼터링 공정을 이용하여 알루미늄층(104)을 형성시킨다. 이 때, 알루미늄층(104)의 두께는 2000~3000 Å 정도가 바람직하다.
- <36> 도 4를 참조하면, 상기 알루미늄층(104)을 N_2O 또는 O_2 가스를 이용한 플라즈마공정으로 처리하여 상기 알루미늄층(104)의 표면에 스트레스 완화층(105)을 위한 알루미늄 산화층(105), 예를 들어 Al_xO_y 층과 같은 알루미늄 산화층을 형성한다. 이 때, 알루미늄층(104)이 알루미늄 산화층으로 산화됨에 따라 잔존하는 알루미늄층(104)의 두께는 100~300 Å 정도가 된다.

- <37> 상기 알루미늄 산화층(105)이 형성되고 나면, 아르곤(Ar), 헬륨(He)과 같은 불활성 가스나, N_2O , O_2 , N_2 , H_2 등의 가스 분위기에서 예를 들어 $200\sim 400^{\circ}C$ 의 저온으로 10~100분 동안 열처리 공정(Rapid Thermal process)이나 일반적인 퍼니스(furnace)를 이용한 열처리공정으로 상기 알루미늄 산화층(105)을 열처리한다. 따라서, 상기 알루미늄 산화층(105)이 스트레스 완화층(105)으로 형성된다.
- <38> 여기서, 상기 스트레스 완화층(105)은 상기 금속배선(102)과의 스트레스가 작으면서도 경도가 높으므로 금속배선(102)과의 스트레스를 완화시켜주는 역할을 담당한다. 따라서, 상기 스트레스 완화층(105)은 패키징공정에서 균열이 발생하는 것을 방지하여 반도체소자의 누설전류(leakage current)를 줄이고 항복전압(breakdown voltage)을 높인다.
- <39> 따라서, 본 발명은 금속배선(102)과의 스트레스가 크지 않으면서도 고경도를 갖는 알루미늄 산화층을 보호막으로 사용하는 것이 가능하다. 그 결과, 패키징공정에서 외부 충격에 의한 균열이 발생하는 불량률이 감소된다.

【발명의 효과】

- <40> 이상에서 설명한 바와 같이, 본 발명에 의한 반도체소자 및 그 제조방법은 반도체기판 상에 반도체소자의 최상층 금속배선을 형성하고, 상기 최상층 금속배선의 표면에 알루미늄 산화층과 같은 스트레스 완화층을 형성한 후 상기 스트레

스 완화층 및 상기 반도체기판 상에 상기 최상층 금속배선과의 스트레스가 작고 고경도를 갖는 알루미늄 산화막(103)과 같은 보호막을 형성한다.

<41> 따라서, 본 발명은 패키징공정에서 외부 충격에 의한 보호막의 균열이 방지되므로 반도체소자의 누설전류가 감소하고 항복전압이 향상될 수 있다.

<42> 한편, 본 발명은 도시된 도면과 상세한 설명에 기술된 내용에 한정하지 않으며 본 발명의 사상을 벗어나지 않는 범위 내에서 다양한 형태의 변형도 가능함은 이 분야에 통상의 지식을 가진 자에게는 자명한 사실이다.



【특허청구범위】

【청구항 1】

반도체 기판;

상기 반도체 기판 상에 형성된 최상층 금속배선;

상기 최상층 금속배선을 포함한 기판 전면에 형성된 산화막;

상기 산화막 상에 소정의 두께로 형성된 알루미늄층;

상기 알루미늄층 상에 형성된 스트레스 완화층을 포함하여 이루어지는 것을
특징으로 하는 반도체 소자.

【청구항 2】

제 1 항에 있어서, 상기 스트레스 완화층이 알루미늄 산화층으로 이루어진
것을 특징으로 하는 반도체 소자.

【청구항 3】

제 1 항 또는 제 2 항에 있어서, 상기 알루미늄층이 100~300Å 정도의 두
께로 형성된 것을 특징으로 하는 반도체 소자.

【청구항 4】

제 1 항에 있어서, 상기 산화막은 USG, FSG 중 어느 하나로 형성된 것을 특징으로 하는 반도체 소자.

【청구항 5】

반도체 기판 상에 최상층 금속배선을 형성하는 단계;

상기 금속배선을 포함한 기판 전면에 산화막을 형성하는 단계;

상기 산화막 상에 소정의 두께로 알루미늄층을 형성하는 단계;

상기 알루미늄층의 표면 상에 상기 금속배선과의 스트레스 완화를 위한 스트레스 완화층을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 6】

제 5 항에 있어서, 상기 스트레스 완화층을 형성하는 단계는

상기 알루미늄층의 표면을 플라즈마처리공정에 의해 알루미늄 산화층으로 형성하는 과정과,

상기 알루미늄 산화층을 열처리하는 과정으로 구성되는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 7】

제 6 항에 있어서, 상기 알루미늄층을 N_2O 가스를 이용한 플라즈마공정에 의해 알루미늄 산화층으로 형성하는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 8】

제 6 항에 있어서, 상기 알루미늄층을 O_2 가스를 이용한 플라즈마공정에 의해 알루미늄 산화층으로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 9】

제 5 항에 있어서, 상기 알루미늄 산화층을 $200 \sim 400^\circ C$ 정도의 온도에서 열처리하는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 10】

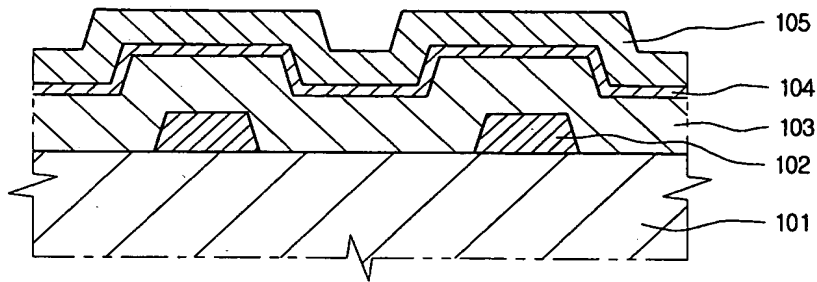
제 7 항 또는 제 8 항에 있어서, 상기 알루미늄 산화층을 아르곤(Ar), 헬륨(He)과 같은 불활성 가스 분위기에서 열처리하는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 11】

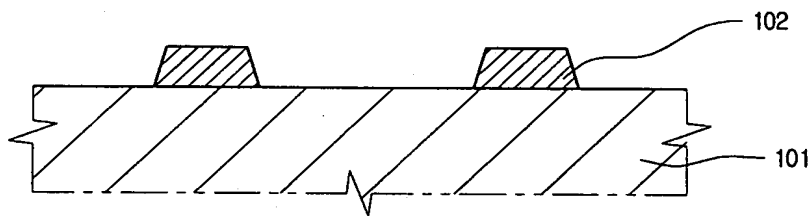
제 7 항 또는 제 8 항에 있어서, 상기 알루미늄 산화층을 N_2O , O_2 , N_2 , H_2 의 가스 분위기에서 열처리하는 것을 특징으로 하는 반도체 소자 제조방법.

【도면】

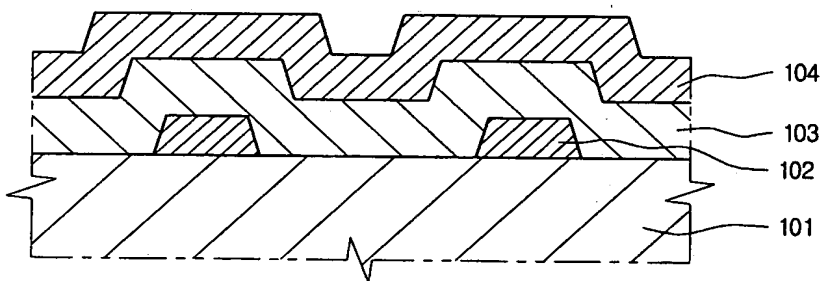
【도 1】



【도 2】



【도 3】



【도 4】

